

(11)Publication number : 2002-244587

(43)Date of publication of application : 30.08.2002

(51)Int.Cl.

G09F 9/30
G02F 1/1368
G09F 9/00
H01L 27/08
H01L 27/12
H01L 29/786
H01L 21/336
H05B 33/10
H05B 33/14

(21)Application number : 2001-041083

(71)Applicant : SONY CORP

(22)Date of filing : 19.02.2001

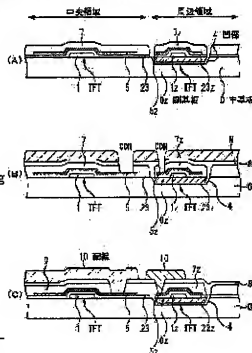
(72)Inventor : YAMAGISHI MACHIO

(54) THIN FILM SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce the manufacturing cost of a thin film semiconductor device which includes a pixel array part having a relatively simple process and a peripheral circuit part necessitating a relatively complex process and which is applied to an active matrix type display device or the like.

SOLUTION: This thin film semiconductor device is constituted of a pixel array part in which a pixel including a pixel electrode and a thin film transistor TFT for driving the pixel electrode is arranged in a matrix shape and a peripheral circuit part which is connected to the pixel array part and drives the pixels arranged in the matrix shape. The pixel array part is formed at a central region by using a main substrate 0 which is preliminarily divided into the central region and a peripheral region and the peripheral circuit part is constituted of thin film transistors TFTs which are integrally formed on the sub-substrate 0z being a different body from the substrate 0. The peripheral circuit part is fitted into the main substrate 0 together with the sub-substrate 0z and the peripheral circuit part and the pixel array part are mutually connected with wirings 10 formed over the peripheral region and the central region of the main substrate 0.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.*** shows the word which can not be translated.

3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The pixel array section which arranged the pixel containing an electrode and the thin film transistor which drives this in the shape of a matrix, It is thin film semiconductor equipment which consists of the circumference circuit section which drives the pixel which connected with this pixel array section and was arranged in the shape of a matrix. Said pixel array section It is formed in this central field using the main substrate beforehand classified into the central field and the boundary region. Said circumference circuit section consists of thin film transistors by which accumulation formation was carried out on the subsubstrate of another object with this main substrate. Said circumference circuit section is thin film semiconductor equipment which has fitted into the boundary region of this main substrate this whole subsubstrate, and is characterized by connecting said circumference circuit section and said pixel array section mutually through wiring formed over the boundary region and central field of the main substrate.

[Claim 2] The thin film transistor which all the thin film transistors contained in said pixel array section are thin film transistors of N type, and constitutes said circumference circuit section is thin film semiconductor equipment according to claim 1 characterized by including both thin film transistors of N type and P type.

[Claim 3] Said subsubstrate is thin film semiconductor equipment according to claim 1 characterized by being embedded in the crevice beforehand formed in the boundary region of this main substrate, and uniting with the main substrate.

[Claim 4] It is thin film semiconductor equipment according to claim 1 characterized by for said main substrate consisting of plastic material, and said subsubstrate consisting of a glass ingredient or plastic material.

[Claim 5] It is thin film semiconductor equipment according to claim 1 characterized by covering said pixel array section and the circumference circuit section with the common interlayer insulation film, and having connected said wiring to the pixel array section and the circumference circuit section electrically through the contact hole which carried out opening to this interlayer insulation film.

[Claim 6] The pixel array section which arranged the pixel which consists of the main substrate and opposite substrate which were joined through the predetermined gap, and liquid crystal held in this gap, and consists of a pixel electrode and a thin film transistor which drives this in the shape of a matrix. It is the liquid crystal display equipped with the circumference circuit section which drives the pixel which connected with this pixel array section and was arranged in the

shape of a matrix. Said pixel array section It is formed in this central field using this main substrate beforehand classified into the central field and the boundary region. Said circumference circuit section It consists of thin film transistors by which accumulation formation was carried out on the subsubstrate of another object with this main substrate. Said circumference circuit section is a liquid crystal display which has fitted into the boundary region of this main substrate this whole subsubstrate, and is characterized by connecting said circumference circuit section and said pixel array section mutually through wiring formed over the boundary region and central field of this main substrate.

[Claim 7] The thin film transistor which all the thin film transistors contained in said pixel array section are thin film transistors of N type, and constitutes said circumference circuit section is a liquid crystal display according to claim 6 characterized by including both thin film transistors of N type and P type.

[Claim 8] Said subsubstrate is a liquid crystal display according to claim 6 characterized by being embedded in the crevice beforehand formed in the boundary region of this main substrate, and uniting with the main substrate.

[Claim 9] It is the liquid crystal display according to claim 6 characterized by for said main substrate consisting of plastic material, and said subsubstrate consisting of a glass ingredient or plastic material.

[Claim 10] It is the liquid crystal display according to claim 6 characterized by covering said pixel array section and the circumference circuit section with the common interlayer insulation film, and having connected said wiring to the pixel array section and the circumference circuit section electrically through the contact hole which carried out opening to this interlayer insulation film.

[Claim 11] The pixel array section which arranged the pixel which consists of an electroluminescent element and a thin film transistor which drives this in the shape of a matrix, It is the electroluminescence display equipped with the circumference circuit section which drives the pixel which connected with this pixel array section and was arranged in the shape of a matrix. Said pixel array section It is formed in this central field using the main substrate beforehand classified into the central field and the boundary region. Said circumference circuit section It consists of thin film transistors by which accumulation formation was carried out on the subsubstrate of another object with this main substrate. Said circumference circuit section is a electroluminescence display which has fitted into the boundary region of this main substrate this whole subsubstrate, and is characterized by connecting said circumference circuit section and said pixel array section mutually through wiring formed over the boundary region and central field of this main substrate.

[Claim 12] The thin film transistor which all the thin film transistors contained in said pixel array section are thin film transistors of N type, and constitutes said circumference circuit section is a electroluminescence display according to claim 11 characterized by including both thin film transistors of N type and P type.

[Claim 13] Said subsubstrate is a electroluminescence display according to claim 11 characterized by being embedded in the crevice beforehand formed in the boundary region of this main substrate, and uniting with the main substrate.

[Claim 14] It is the electroluminescence display according to claim 11 characterized by for said main substrate consisting of plastic material, and said subsubstrate consisting of a glass ingredient or plastic material.

[Claim 15] It is the electroluminescence display according to claim 11 characterized by covering said pixel array section and the circumference circuit section with the common interlayer insulation film, and having connected said wiring to the pixel array section and the circumference circuit section electrically through the contact hole which carried out opening to this interlayer insulation film.

[Claim 16] The pixel array section which arranged the pixel containing an electrode and the thin film transistor which drives this in the shape of a matrix, It is the manufacture approach of the thin film semiconductor equipment which forms the circumference circuit section which drives the pixel which connected with this pixel array section and was arranged in the shape of a matrix. Said pixel array section It forms in this central field using the main substrate beforehand

classified into the central field and the boundary region. Said circumference circuit section It forms by the thin film transistor accumulated on the subsubstrate other than the main substrate. Said circumference circuit section It is the manufacture approach of the thin film semiconductor equipment which fits into the boundary region of this main substrate this whole subsubstrate, and is characterized by connecting said circumference circuit section and said pixel array section mutually through wiring formed over the boundary region and central field of the main substrate.

[Claim 17] It is the manufacture approach of the thin film semiconductor equipment according to claim 16 characterized by forming all the thin film transistors contained in said pixel array section by the thin film transistor of N type, and forming the thin film transistor contained in said circumference circuit section by both thin film transistors of N type and P type.

[Claim 18] Said subsubstrate is the manufacture approach of the thin film semiconductor equipment according to claim 16 characterized by embedding in the crevice beforehand formed in the boundary region of this main substrate, and uniting with this main substrate.

[Claim 19] For said subsubstrate, said main substrate is the manufacture approach of the thin film semiconductor equipment according to claim 16 characterized by using a glass ingredient or plastic material using plastic material.

[Claim 20] It is the manufacture approach of the thin film semiconductor equipment according to claim 16 characterized by covering said pixel array section and the circumference circuit section with a common interlayer insulation film, and connecting said wiring to the pixel array section and the circumference circuit section electrically through the contact hole which carried out opening to this interlayer insulation film.

[Claim 21] The pixel array section which arranged the pixel which consists of a pixel electrode and a thin film transistor which drives this using the main substrate and opposite substrate which were joined through the predetermined gap, and the liquid crystal held in this gap in the shape of a matrix, It is the manufacture approach of the liquid crystal display which forms the circumference circuit section which drives the pixel which connected with this pixel array section and was arranged in the shape of a matrix. Said pixel array section It forms in this central field using this main substrate beforehand classified into the central field and the boundary region. Said circumference circuit section It forms by the thin film transistor accumulated on the subsubstrate other than this main substrate. Said circumference circuit section It is the manufacture approach of the liquid crystal display which fits into the boundary region of this main substrate this whole subsubstrate, and is characterized by connecting said circumference circuit section and said pixel array section mutually through wiring formed over the boundary region and central field of this main substrate.

[Claim 22] It is the manufacture approach of the liquid crystal display according to claim 21 characterized by forming all the thin film transistors contained in said pixel array section by the thin film transistor of N type, and forming the thin film transistor contained in said circumference circuit section by both thin film transistors of N type and P type.

[Claim 23] Said subsubstrate is the manufacture approach of the liquid crystal display according to claim 21 characterized by embedding in the crevice beforehand formed in the boundary region of this main substrate, and uniting with this main substrate.

[Claim 24] For said subsubstrate, said main substrate is the manufacture approach of the liquid crystal display according to claim 21 characterized by using a glass ingredient or plastic material using plastic material.

[Claim 25] It is the manufacture approach of the liquid crystal display according to claim 21 characterized by covering said pixel array section and the circumference circuit section with a common interlayer insulation film, and connecting said wiring to the pixel array section and the circumference circuit section electrically through the contact hole which carried out opening to this interlayer insulation film.

[Claim 26] The pixel array section which arranged the pixel which consists of an electroluminescent element and a thin film transistor which drives this in the shape of a matrix, It is the manufacture approach of the electroluminescence display which forms the circumference circuit section which drives the pixel which connected with this pixel array

section and was arranged in the shape of a matrix. Said pixel array section It forms in this central field using the main substrate beforehand classified into the central field and the boundary region. Said circumference circuit section It forms by the thin film transistor accumulated on the subsubstrate other than this main substrate. Said circumference circuit section It is the manufacture approach of the electroluminescence display which fits into the boundary region of this main substrate this whole subsubstrate, and is characterized by connecting said circumference circuit section and said pixel array section mutually through wiring formed over the boundary region and central field of this main substrate.

[Claim 27] It is the manufacture approach of the electroluminescence display according to claim 26 characterized by forming all the thin film transistors contained in said pixel array section by the thin film transistor of N type, and forming the thin film transistor contained in said circumference circuit section by both thin film transistors of N type and P type.

[Claim 28] Said subsubstrate is the manufacture approach of the electroluminescence display according to claim 26 characterized by embedding in the crevice beforehand formed in the boundary region of this main substrate, and uniting with this main substrate.

[Claim 29] For said subsubstrate, said main substrate is the manufacture approach of the electroluminescence display according to claim 26 characterized by using a glass ingredient or plastic material using plastic material.

[Claim 30] It is the manufacture approach of the electroluminescence display according to claim 26 characterized by covering said pixel array section and the circumference circuit section with a common interlayer insulation film, and connecting said wiring to the pixel array section and the circumference circuit section electrically through the contact hole which carried out opening to this interlayer insulation film.

[Translation done.]

*** NOTICES ***

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to thin film semiconductor equipment and its manufacture approach. Moreover, it is related with the display which used thin film semiconductor equipment for the drive substrate, and its manufacture approach. It is related with circumference circuit built-in the structure and the manufacture approach of a display which incorporated the pixel array section and the circumference circuit section in one in more detail.

[0002]

[Description of the Prior Art] The liquid crystal display of a active-matrix mold consists of a substrate of a pair joined through the predetermined gap, and liquid crystal held in this gap. The liquid crystal display of a active-matrix mold is divided into the pixel array section and the circumference circuit section. The pixel array section arranges the pixel which consists of a pixel electrode and a thin film transistor which drives this in the shape of a matrix. The circumference

circuit section drives the pixel which connected with this pixel array section and was arranged in the shape of a matrix, and the scanner for scanning a matrix-like pixel for example, etc. is contained. The drive circuit built-in active-matrix liquid crystal display which carried out accumulation formation of current, the pixel array section, and the circumference circuit section on the same substrate is developed briskly.

[0003]

[Problem(s) to be Solved by the Invention] The thin film transistor formed in the pixel array section can be created in a comparatively simple process with an N channel mold. On the other hand, it is mixed, and accumulation formation is carried out and the thin film transistor of an N channel mold and a P channel mold has the so-called CMOS composition at the circumference circuit section. The number of sheets of a mask required in order to create CMOS etc. increases, and a manufacture process is complicated. Since accumulation formation of the pixel array section which can be managed with a former comparatively simple process, and the circumference circuit section which requires a comparatively complicated process was carried out on the same substrate, the whole production process became long and was disadvantageous in cost. Moreover, even when only one of the two of the pixel array section and the circumference circuit section had a defect, as a product, it became a defect and the yield fall was caused.

[0004]

[Means for Solving the Problem] The following means were provided in order to solve the technical problem of a Prior art mentioned above. Namely, the pixel array section which arranged the pixel in which this invention contains an electrode and the thin film transistor which drives this in the shape of a matrix, It is thin film semiconductor equipment which consists of the circumference circuit section which drives the pixel which connected with this pixel array section and was arranged in the shape of a matrix. Said pixel array section It is formed in this central field using the main substrate beforehand classified into the central field and the boundary region. Said circumference circuit section consists of thin film transistors by which accumulation formation was carried out on the subsubstrate of another object with this main substrate. Said circumference circuit section has fitted into the boundary region of this main substrate this whole subsubstrate, and said circumference circuit section and said pixel array section are characterized by connecting mutually through wiring formed over the boundary region and central field of the main substrate. Preferably, all the thin film transistors contained in said pixel array section are thin film transistors of N type, and the thin film transistor which constitutes said circumference circuit section contains both thin film transistors of N type and P type. Moreover, said subsubstrate is embedded in the crevice beforehand formed in the boundary region of this main substrate, and is united with the main substrate. Moreover, said main substrate consists of plastic material, and said subsubstrate consists of a glass ingredient or plastic material. Moreover, said pixel array section and the circumference circuit section are covered with the common interlayer insulation film, and said wiring is electrically connected to the pixel array section and the circumference circuit section through the contact hole which carried out opening to this interlayer insulation film.

[0005] According to this invention, the main substrate which prepared the pixel array section beforehand, and the subsubstrate which prepared the circumference circuit sections, such as a scanner, are prepared. The main substrate and the subsubstrate have ended formation of a thin film transistor, and it is made just before formation of the KONKUTATO hole for wiring. The crevice is formed in the boundary region of the main substrate, and a subsubstrate is embedded here and it unites with it. An interlayer insulation film is formed preferably moreover and opening of the required KONKUTATO hole is carried out by the photolithography and etching. On an interlayer insulation film, patterning formation of the wiring is carried out, the pixel array section and the circumference circuit section are connected, and, also electrically, it unifies. As an approach of embedding a subsubstrate in the crevice of the main substrate, there are a mechanical handling method based on the alignment using an alignment mark and a method which slushes a subsubstrate into the crevice of the main substrate through a fluid.

[0006]

[Embodiment of the Invention] With reference to a drawing, the gestalt of operation of this invention is explained in a detail below. Drawing 1 is process drawing showing the manufacture approach of the thin film semiconductor equipment concerning this invention. Thin film semiconductor equipment is used for the drive substrate of the display of a active-matrix mold, and consists of the pixel array section and the circumference circuit section. The pixel array section arranges the pixel containing a pixel electrode and the thin film transistor which drives this in the shape of a matrix. On the other hand, the circumference circuit section drives the pixel which connected with the pixel array section and was arranged in the shape of a matrix. In order to manufacture the thin film semiconductor equipment which has the starting configuration, as first shown in (A), the pixel array section is formed using the main substrate 0 beforehand classified into the central field and the boundary region. The pixel array section is formed in a central field so that it may illustrate. In order to simplify illustration, only the thin film transistor TFT piece contained in the pixel array section is expressed. TFT consists of the gate electrode 1 formed on the main substrate 0 which consists of glass or plastics, gate dielectric film 23 formed on it, a semi-conductor thin film 5 formed on it, and a protective coat (interlayer insulation film) 7 formed on it, and has bottom gate structure. However, this invention may not be restricted to this and TFT may be the thing of top gate structure. Generally, since N type is used, the impurity of N type, such as phosphorus, is injected into the semi-conductor thin film 5, and TFT for a pixel electrode drive constitutes a source field and a drain field. In addition, the thickness of the main substrate 0 is 0.2mm - 0.5mm. Moreover, a pixel electrode is also formed in the pixel array section although not illustrated.

[0007] The circumference circuit section is beforehand formed in this independently [the main substrate 0] using subsubstrate 0z which consists of plastics etc. By a diagram, in order to make an understanding easy, only TFT of the piece contained in the circumference circuit section is expressed. This TFT consists of protective coat (interlayer insulation film) 7z formed gate electrode 1z formed on subsubstrate 0z, gate-dielectric-film 23z which covers this, semi-conductor thin film 5z formed on it, and on it, and has bottom gate structure. Although not illustrated, accumulation formation is carried out and much TFT(s) which have a configuration concerning subsubstrate 0z constitute drive circuits, such as a scanner. Unlike the pixel array section, the circumference circuit section has CMOS composition and contains both the thin film transistor of an N channel mold, and the thin film transistor of a P channel mold. Therefore, as for the pixel array section formed on the main substrate 0, and the circumference circuit section formed on subsubstrate 0z, processes differ from the first. In consideration of this point, the circumference circuit section is created in another process with the pixel array section using subsubstrate 0z prepared independently [the main substrate 0] by this invention. Thereby, rationalization of a process is possible. Moreover, what is necessary is to cancel only the main substrate, when a defect arises in the pixel array section in this phase. What is necessary is similarly, to cancel only a subsubstrate, when the circumference circuit section has a defect.

[0008] Next, the circumference circuit section is fitted into the boundary region of the main substrate 0 every [subsubstrate 0z]. A crevice 4 is formed in the boundary region of the main substrate 0, and, specifically, subsubstrate 0z [finishing / formation of the circumference circuit section] is embedded here. Subsubstrate 0z may be fixed to the main substrate 0 using adhesives in that case. Moreover, it may replace with a crevice 4, opening may be formed in the main substrate 0, and you may fit subsubstrate 0z into this opening. In addition, a crevice 4 can be formed in the main substrate 0 with a sufficient precision for example, using the La Stampa technique.

[0009] Then, as shown in (B), both the unified pixel array section and the circumference circuit section are covered, and the common interlayer insulation film 8 is formed. For example, silicon oxide is deposited by CVD and it considers as an interlayer insulation film 8. Moreover coating of the photoresist is carried out, exposure development is carried out and Mask M is created. The interlayer insulation films 7 and 8 of a bilayer are etched through Mask M, and opening of the KONKUTATO hole CON is carried out to a required part. In drawing, CON is carrying out opening corresponding to the drain of TFT by the side of the pixel array section. Moreover, corresponding to both the source / drain, CON is carrying out opening also by TFT by the side of the

circumference circuit section. [both / either or]

[0010] As finally shown in (C), metal membranes, such as aluminum, are deposited in a spatter etc. on the interlayer insulation film 8 in which the KONKUTATO hole CON was formed. Patterning of this is carried out and wiring 10 is formed. Wiring 10 connects electrically and the pixel array section and the circumference circuit section are unified with it.

[0011] As mentioned above, with the thin film semiconductor equipment concerning this invention, the pixel array section is formed in the central field using the main substrate 0 beforehand classified into the central field and the boundary region. On the other hand, the circumference circuit section consists of thin film transistors TFT by which accumulation formation was carried out on subsubstrate Oz of another object in the main substrate 0. The circumference circuit section has fitted into the boundary region of the subsubstrate Oz every main substrate 0. The circumference circuit section and the pixel array section are mutually connected through the wiring 10 continued and formed in the boundary region and central field of the main substrate 0. With a concrete configuration, the thin film transistor TFT contained in the pixel array section is a thin film transistor of N type altogether, and the thin film transistor which constitutes the circumference circuit section is a CMOS configuration containing both thin film transistors of N type and P type. However, this invention is not restricted to the starting configuration. Subsubstrate Oz is embedded in the crevice 4 beforehand formed in the boundary region of the main substrate 0 with the La Stampa technique etc., and is united with the main substrate 0. The main substrate 0 consists of plastic material, and the thickness is 0.2mm - 0.5mm. On the other hand, subsubstrate Oz consists of a glass ingredient or plastic material, and the thickness is 0.1mm - 0.2mm. The pixel array section and the circumference circuit section are covered with the common interlayer insulation film 8, and electrical connection of the wiring 10 is carried out to the pixel array section and the circumference circuit section through the KONKUTATO hole CON which carried out opening to the interlayer insulation film 8. The circumference circuit section on the subsubstrate which requires many process routing counters can be made with the sufficient yield from adopting the starting structure. On the whole by combining with the pixel array section on the main substrate made by the low man day, the substrate for the active-matrix mold displays of a low price is obtained.

[0012] Drawing 2 is the typical top view showing the overall configuration of the main substrate 0 and subsubstrate Oz. In the central field of the main substrate 0, accumulation formation of the pixel array section is carried out, and the crevice 4 is formed in the periphery so that it may illustrate. The alignment mark A is beforehand formed in the both ends of a crevice 4. On the other hand, while accumulation formation of the circumference circuit section is carried out at subsubstrate Oz, the alignment mark A is beforehand formed in the both ends of subsubstrate Oz of the configuration of a long mold. The appearance of subsubstrate Oz is in agreement with the appearance of the crevice 4 established in the main substrate 0.

[0013] Drawing 3 expresses typically with the main substrate 0 the condition of fitting in subsubstrate Oz. As shown in the left-hand side of drawing 3, subsubstrate Oz held with the robot arm (not shown) above the main substrate 0 which formed the crevice 4 beforehand is arranged. Subsubstrate Oz is movable to the front and rear, right and left upper and lower sides, as an arrow head shows by the robot arm. The crevice 4 of the main substrate 0 and subsubstrate Oz are picturized with the CCD camera, and both relative physical relationship has projected them on the monitor. The image processing system (not shown) connected to the CCD camera detects the differences X and Y between the alignment mark by the side of the main substrate 0, and the alignment mark by the side of subsubstrate Oz. The computer for control connected to the image processing system controls a robot arm based on the computed differences X and Y, carries out alignment of the subsubstrate Oz to the crevice 4 of the main substrate 0, and makes it carry out fitting.

[0014] It replaces with the mechanical method mentioned above, and there is a method which embeds a subsubstrate through a fluid in the crevice of the main substrate. This method is indicated by JP,9-120943,A. Specifically a crevice is first established in a plastic plate, LSI by which the circumference circuit was formed there is embedded, and the drive substrate for LCD is created. A crevice is formed in the main substrate and an LSI chip is made to flow along the

front face of the main substrate first through the mixture of the drug solution by which the rate-of-flow control was carried out, and water. Thereby, an LSI chip is slushed into the crevice of the main substrate. What is necessary is just to form wiring, in order to carry out electrical connection of the main substrate and the subsubstrate after this. An LSI chip is embedded as mentioned above at a substrate, and the drive substrate for LCD is created.

[0015] Drawing 4 is the typical perspective view showing an example of the active matrix liquid crystal display which used for the drive substrate the thin film semiconductor equipment created according to this invention, and was assembled. This display has the panel structure equipped with the main substrate 0 of a pair, the opposite substrate 102, and the electrooptic material 103 held among both so that it may illustrate. A liquid crystal ingredient is used as electrooptic material 103. Accumulation formation of the pixel array section 104 and the circumference circuit section is carried out at the lower main substrate 0. The circumference circuit section is divided into the vertical-drive circuit 105 and the level drive circuit 106. These drive circuits 105,106 are the LSI chips of the CMOS configuration by which accumulation formation was beforehand carried out using the subsubstrate, and are embedded at the main substrate 0 according to this invention. Moreover, the terminal area 107 for external connection is formed in the periphery upper limit of the main substrate 0. The terminal area 107 is connected to the vertical-drive circuit 105 and the level drive circuit 106 through wiring 108. This wiring 108 is formed after embedding a subsubstrate at the main substrate 0. The gate wiring 109 of behavior and the seriate signal wiring 110 are formed in the pixel array section 104. Electrical connection of these wiring is carried out to the vertical-drive circuit 105 and the level drive circuit 106 which were embedded later. The thin film transistor TFT which drives the pixel electrode 11 and this is formed in the intersection of the gate wiring 109 and signal wiring 110. The gate electrode of a thin film transistor TFT was connected to the corresponding gate wiring 109, the drain field was connected to the corresponding pixel electrode 11, and the source field is connected to the corresponding signal wiring 110.

[0016] Drawing 5 is the typical sectional view showing an example of the electroluminescence display concerning this invention. Only the pixel array section formed on the main substrate is expressed by a diagram, and the circumference circuit embedded in the boundary region of the main substrate is omitting illustration. This example uses organic electroluminescent element OLED as a pixel so that it may illustrate. OLED piles up an anode plate A, an organic layer 210, and Cathode K in order. It has dissociated for every pixel, for example, an anode plate A consists of chromium, and is light reflex nature fundamentally. Common connection is made between pixels, for example, Cathode K is the laminated structure of the ultra-thin metal layer 211 and the transperance conductive layer 212, and is light transmission nature fundamentally. If the electrical potential difference (about 10V) of the forward direction is impressed between anode plate A / cathode K of OLED which has the starting configuration, impregnation of carriers, such as an electron and an electron hole, will take place, and luminescence will be observed. Actuation of OLED is considered to be luminescence by the exciton formed with the electron poured in from the electron hole and Cathode K which were poured in from the anode plate A.

[0017] On the other hand, the thin film transistor TFT which drives OLED consists of the gate electrode 1 formed on the main substrate 0 which consists of glass etc., gate dielectric film 23 put on that top face, and a semi-conductor thin film 5 piled up above the gate electrode 1 through this gate dielectric film 23. The thin film transistor TFT is equipped with the source field S, the channel field Ch, and the drain field D used as the path of the current supplied to OLED. The channel field Ch is exactly located in right above [of the gate electrode 1]. The thin film transistor TFT which has this bottom gate structure is covered with the interlayer insulation film 7, and the wiring electrode 9 and the drain electrode 200 are formed on it. On these, OLED mentioned above through another interlayer insulation film 91 is formed. Electrical connection of the anode plate A of this OLED is carried out to the thin film transistor TFT through the drain electrode 200. In addition, although not illustrated, the crevice is formed in the periphery of the main substrate 0, and the subsubstrate which carried out accumulation formation of the circumference circuit section is embedded into the part.

[0018]

[Effect of the Invention] Apart from the main substrate in which the pixel array section which was explained above and which has a big occupancy area like according to this invention was formed, the CMOS-ized circumference circuit sections, such as a scanner, are formed in the subsubstrate. The pixel array section of a thereby comparatively simple process and the circumference circuit section which requires a comparatively complicated process can be created in a separate process, and rationalization of a production process is attained. By embedding the subsubstrate in which the circumference circuit section was formed at the main substrate in which the pixel array section was formed, and uniting with it, manufacture of the active-matrix mold display of a low price is attained. The effectiveness on cost becomes large, so that a screen size becomes large especially.

[Translation done.]

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is process drawing showing the manufacture approach of the thin film semiconductor equipment concerning this invention.

[Drawing 2] It is the typical top view showing the manufacture approach of the thin film semiconductor equipment concerning this invention.

[Drawing 3] It is the mimetic diagram showing the manufacture approach of the thin film semiconductor equipment concerning this invention.

[Drawing 4] It is the typical perspective view showing an example of the liquid crystal display concerning this invention.

[Drawing 5] It is the typical fragmentary sectional view showing an example of the electroluminescence display concerning this invention.

[Description of Notations]

0 [... A gate electrode, 23 / ... Gate dielectric film, 23z / ... Gate dielectric film, 4 / ... A crevice, 5 / ... A semi-conductor thin film, 5z / ... A semi-conductor thin film, 8 / ... An interlayer insulation film, 10 / ... Wiring] ... A main substrate, 0z ... A subsubstrate, 1 ... A gate electrode, 1z

[Translation done.]

* NOTICES *

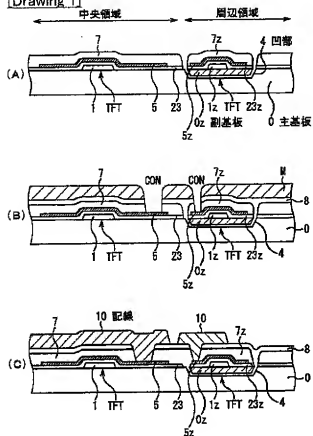
JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.

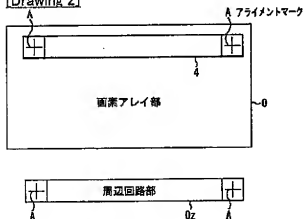
3. In the drawings, any words are not translated.

DRAWINGS

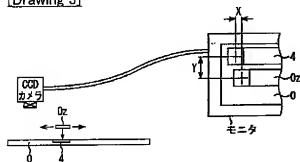
[Drawing 1]



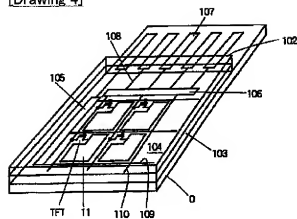
[Drawing 2]



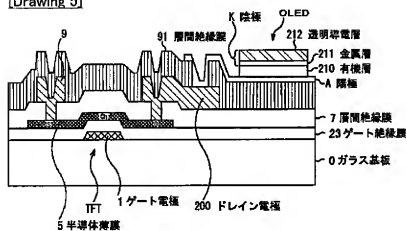
[Drawing 3]



[Drawing 4]



[Drawing 5]



[Translation done.]

(51) Int. Cl. ⁷	識別記号	F I	テレポート (参考)
G 0 9 F 9/30	3 3 8 3 6 5	G 0 9 F 9/30	3 3 8 2 H 0 9 2 3 6 5 Z 3 K 0 0 7
G 0 2 F 1/1388		G 0 2 F 1/1388	5 C 0 9 4
G 0 9 F 9/00	3 4 6 3 4 8	G 0 9 F 9/00	3 4 6 A 5 F 0 4 8 3 4 8 C 5 F 1 1 0

審査請求 未請求 請求項の数30 O L (全 8 頁) 最終頁に続く

(21) 出願番号 特願2001-41083(P2001-41083)

(22) 出願日 平成13年2月19日 (2001.2.19)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者

山岸 万千雄

東京都品川区北品川6丁目7番35号 ソニ

株式会社内

(74) 代理人 100092336

弁理士 鈴木 晴敏

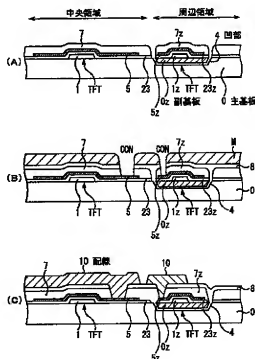
最終頁に続く

(54) 【発明の名称】 薄膜半導体装置及びその製造方法

(57) 【要約】

【課題】 比較的単純なプロセスの画素アレイ部と比較的複雑なプロセスを要する周辺回路部とを含み、アクティブマトリクス型表示装置等に应用される薄膜半導体装置の製造コストを低減化する。

【解決手段】 薄膜半導体装置は、電極とこれを駆動する薄膜トランジスタTFTを含む画素をマトリクス状に配列した画素アレイ部と、この画素アレイ部に接続されマトリクス状に配列した画素を駆動する周辺回路部とからなる。画素アレイ部は、あらかじめ中央領域及び周辺領域に区分けされた主基板Oを用いて中央領域に形成されている。周辺回路部は主基板Oとは別体の副基板Ozの上に集積形成された薄膜トランジスタTFTで構成されている。周辺回路部は副基板Ozと主基板Oの周辺領域に嵌合しており、周辺回路部と画素アレイ部とは主基板Oの周辺領域と中央領域にわたって形成された配線10を介して相互に接続されている。



【特許請求の範囲】

【請求項1】 電極とこれを駆動する薄膜トランジスタとを含む画素をマトリクス状に配列した画素アレイ部と、該画素アレイ部に接続されマトリクス状に配列した画素を駆動する周辺回路部とからなる薄膜半導体装置であって、

前記画素アレイ部は、あらかじめ中央領域及び周辺領域に区分けされた主基板を用いて該中央領域に形成されており、

前記周辺回路部は該主基板とは別体の副基板の上に集積形成された薄膜トランジスタで構成されており、

前記周辺回路部は該副基板ごと該主基板の周辺領域に嵌合しており、

前記周辺回路部と前記画素アレイ部とは主基板の周辺領域と中央領域にわたって形成された配線を介して相互に接続されている事と特徴とする薄膜半導体装置。

【請求項2】 前記画素アレイ部に含まれる薄膜トランジスタは全てN型の薄膜トランジスタであり、前記周辺回路部を構成する薄膜トランジスタはN型とP型の薄膜トランジスタの両方を含む事と特徴とする請求項1記載の薄膜半導体装置。

【請求項3】 前記副基板は、該主基板の周辺領域にあらかじめ形成された凹部に埋め込まれ主基板と一体化されている事と特徴とする請求項1記載の薄膜半導体装置。

【請求項4】 前記主基板はプラスチック材料からなり、前記副基板はガラス材料又はプラスチック材料からなる事と特徴とする請求項1記載の薄膜半導体装置。

【請求項5】 前記画素アレイ部及び周辺回路部は共通の層間絶縁膜により被覆されており、前記配線は該層間絶縁膜に開口したコンタクトホールを介して画素アレイ部及び周辺回路部に電気的に接続している事と特徴とする請求項1記載の薄膜半導体装置。

【請求項6】 所定の間隙を介して接合した主基板及び対向基板と、該間隙に保持された液晶とからなり、画素電極とこれを駆動する薄膜トランジスタとからなる画素をマトリクス状に配列した画素アレイ部と、該画素アレイ部に接続されマトリクス状に配列した画素を駆動する周辺回路部とを備えた液晶表示装置であって、

前記画素アレイ部は、あらかじめ中央領域及び周辺領域に区分けされた該主基板を用いて該中央領域に形成されており、

前記周辺回路部は、該主基板とは別体の副基板の上に集積形成された薄膜トランジスタで構成されており、

前記周辺回路部は該副基板ごと該主基板の周辺領域に嵌合しており、

前記周辺回路部と前記画素アレイ部とは該主基板の周辺領域と中央領域にわたって形成された配線を介して相互に接続されている事と特徴とする液晶表示装置。

【請求項7】 前記画素アレイ部に含まれる薄膜トラン

ジスタは全てN型の薄膜トランジスタであり、前記周辺回路部を構成する薄膜トランジスタはN型とP型の薄膜トランジスタの両方を含む事と特徴とする請求項6記載の液晶表示装置。

【請求項8】 前記副基板は、該主基板の周辺領域にあらかじめ形成された凹部に埋め込まれ主基板と一体化されている事と特徴とする請求項6記載の液晶表示装置。

【請求項9】 前記主基板はプラスチック材料からなり、前記副基板はガラス材料又はプラスチック材料からなる事と特徴とする請求項6記載の液晶表示装置。

【請求項10】 前記画素アレイ部及び周辺回路部は共通の層間絶縁膜により被覆されており、前記配線は該層間絶縁膜に開口したコンタクトホールを介して画素アレイ部及び周辺回路部に電気的に接続している事と特徴とする請求項6記載の液晶表示装置。

【請求項11】 エレクトロルミネッセンス素子とこれを駆動する薄膜トランジスタとからなる画素をマトリクス状に配列した画素アレイ部と、該画素アレイ部に接続されマトリクス状に配列した画素を駆動する周辺回路部とを備えたエレクトロルミネッセンス表示装置であって、

前記画素アレイ部は、あらかじめ中央領域及び周辺領域に区分けされた主基板を用いて該中央領域に形成されており、

前記周辺回路部は、該主基板とは別体の副基板の上に集積形成された薄膜トランジスタで構成されており、

前記周辺回路部は該副基板ごと該主基板の周辺領域に嵌合しており、

前記周辺回路部と前記画素アレイ部とは該主基板の周辺領域と中央領域にわたって形成された配線を介して相互に接続されている事と特徴とするエレクトロルミネッセンス表示装置。

【請求項12】 前記画素アレイ部に含まれる薄膜トランジスタは全てN型の薄膜トランジスタであり、前記周辺回路部を構成する薄膜トランジスタはN型とP型の薄膜トランジスタの両方を含む事と特徴とする請求項11記載のエレクトロルミネッセンス表示装置。

【請求項13】 前記副基板は、該主基板の周辺領域にあらかじめ形成された凹部に埋め込まれ主基板と一体化されている事と特徴とする請求項11記載のエレクトロルミネッセンス表示装置。

【請求項14】 前記主基板はプラスチック材料からなり、前記副基板はガラス材料又はプラスチック材料からなる事と特徴とする請求項11記載のエレクトロルミネッセンス表示装置。

【請求項15】 前記画素アレイ部及び周辺回路部は共通の層間絶縁膜により被覆されており、前記配線は該層間絶縁膜に開口したコンタクトホールを介して画素アレイ部及び周辺回路部に電気的に接続している事と特徴と

する請求項 11 記載のエレクトロルミネッセンス表示装置。

【請求項 16】 電極とこれを駆動する薄膜トランジスタを含む画素をマトリクス状に配列した画素アレイ部と、該画素アレイ部に接続されマトリクス状に配列した画素を駆動する周辺回路部とを形成する薄膜半導体装置の製造方法であって、

前記画素アレイ部は、あらかじめ中央領域及び周辺領域に区分けされた主基板を用いて該中央領域に形成し、前記周辺回路部は、主基板とは別の副基板の上に集積した薄膜トランジスタで形成し、

前記周辺回路部は、該副基板ごと該主基板の周辺領域に嵌合し、

前記周辺回路部と前記画素アレイ部とは、主基板の周辺領域と中央領域にわたって形成した配線を介して相互に接続する事と特徴とする薄膜半導体装置の製造方法。

【請求項 17】 前記画素アレイ部に含まれる薄膜トランジスタは全て N 型の薄膜トランジスタで形成し、前記周辺回路部に含まれる薄膜トランジスタは N 型と P 型の薄膜トランジスタの両方で形成する事と特徴とする請求項 16 記載の薄膜半導体装置の製造方法。

【請求項 18】 前記副基板は、該主基板の周辺領域にあらかじめ形成された凹部に埋め込んで該主基板と一体化する事と特徴とする請求項 16 記載の薄膜半導体装置の製造方法。

【請求項 19】 前記主基板はプラスチック材料を用い、前記副基板はガラス材料又はプラスチック材料を用いる事と特徴とする請求項 16 記載の薄膜半導体装置の製造方法。

【請求項 20】 前記画素アレイ部及び周辺回路部は共通の層間絶縁膜により被覆し、前記配線は該層間絶縁膜に開口したコンタクトホールを介して画素アレイ部及び周辺回路部に電気的に接続する事と特徴とする請求項 16 記載の薄膜半導体装置の製造方法。

【請求項 21】 所定の間隙を介して接合した主基板及び対向基板と、該間隙に保持された液晶とを用い、画素電極とこれを駆動する薄膜トランジスタとからなる画素をマトリクス状に配列した画素アレイ部と、該画素アレイ部に接続されマトリクス状に配列した画素を駆動する周辺回路部とを形成する液晶表示装置の製造方法であって、

前記画素アレイ部は、あらかじめ中央領域及び周辺領域に区分けされた該主基板を用いて該中央領域に形成し、前記周辺回路部は、該主基板とは別の副基板の上に集積した薄膜トランジスタで形成し、

前記周辺回路部は、該副基板ごと該主基板の周辺領域に嵌合し、前記周辺回路部と前記画素アレイ部とは、該主基板の周辺領域と中央領域にわたって形成した配線を介して相互に接続する事と特徴とする液晶表示装置の製造方法。

【請求項 22】 前記画素アレイ部に含まれる薄膜トランジスタは全て N 型の薄膜トランジスタで形成し、前記周辺回路部に含まれる薄膜トランジスタは N 型と P 型の薄膜トランジスタの両方で形成する事と特徴とする請求項 21 記載の液晶表示装置の製造方法。

【請求項 23】 前記副基板は、該主基板の周辺領域にあらかじめ形成された凹部に埋め込んで該主基板と一体化する事と特徴とする請求項 21 記載の液晶表示装置の製造方法。

【請求項 24】 前記主基板はプラスチック材料を用い、前記副基板はガラス材料又はプラスチック材料を用いる事と特徴とする請求項 21 記載の液晶表示装置の製造方法。

【請求項 25】 前記画素アレイ部及び周辺回路部は共通の層間絶縁膜により被覆し、前記配線は該層間絶縁膜に開口したコンタクトホールを介して画素アレイ部及び周辺回路部に電気的に接続する事と特徴とする請求項 21 記載の液晶表示装置の製造方法。

【請求項 26】 エレクトロルミネッセンス素子とこれを駆動する薄膜トランジスタとからなる画素をマトリクス状に配列した画素アレイ部と、該画素アレイ部に接続されマトリクス状に配列した画素を駆動する周辺回路部とを形成するエレクトロルミネッセンス表示装置の製造方法であって、

前記画素アレイ部は、あらかじめ中央領域及び周辺領域に区分けされた主基板を用いて該中央領域に形成し、前記周辺回路部は、該主基板とは別の副基板の上に集積した薄膜トランジスタで形成し、

前記周辺回路部は、該副基板ごと該主基板の周辺領域に嵌合し、前記周辺回路部と前記画素アレイ部とは、該主基板の周辺領域と中央領域にわたって形成した配線を介して相互に接続する事と特徴とするエレクトロルミネッセンス表示装置の製造方法。

【請求項 27】 前記画素アレイ部に含まれる薄膜トランジスタは全て N 型の薄膜トランジスタで形成し、前記周辺回路部に含まれる薄膜トランジスタは N 型と P 型の薄膜トランジスタの両方で形成する事と特徴とする請求項 26 記載のエレクトロルミネッセンス表示装置の製造方法。

【請求項 28】 前記副基板は、該主基板の周辺領域にあらかじめ形成された凹部に埋め込んで該主基板と一体化する事と特徴とする請求項 26 記載のエレクトロルミネッセンス表示装置の製造方法。

【請求項 29】 前記主基板はプラスチック材料を用い、前記副基板はガラス材料又はプラスチック材料を用いる事と特徴とする請求項 26 記載のエレクトロルミネッセンス表示装置の製造方法。

【請求項 30】 前記画素アレイ部及び周辺回路部は共通の層間絶縁膜により被覆し、前記配線は該層間絶縁膜

に開口したコンタクトホールを介して画素アレイ部及び周辺回路部に電気的に接続する事を特徴とする請求項2記載のエレクトロルミネッセンス表示装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は薄膜半導体装置及びその製造方法に関する。又、薄膜半導体装置を駆動基板に用いた表示装置及びその製造方法に関する。より詳しくは、画素アレイ部と周辺回路部とを一体的に組み込んだ周辺回路内蔵型の表示装置の構造及び製造方法に関する。

【0002】

【従来の技術】アクティブマトリクス型の液晶表示装置は、所定の間隙を介して接合した一対の基板と、この間隙に保持された液晶とで構成されている。アクティブマトリクス型の液晶表示装置は、画素アレイ部と周辺回路部とに分かれている。画素アレイ部は、画素電極とこれを駆動する薄膜トランジスタとからなる画素をマトリクス状に配列したものである。周辺回路部は、この画素アレイ部に接続されマトリクス状に配列した画素を駆動するものであって、例えばマトリクス状の画素を走査する為のスキヤナなどが含まれる。現在、画素アレイ部と周辺回路部とを同一の基板上に集積形成した駆動回路内蔵型のアクティブマトリクス液晶ディスプレイが盛んに開発されている。

【0003】

【発明が解決しようとする課題】画素アレイ部に形成される薄膜トランジスタは、例えばNチャネル型で比較的に単純なプロセスにて作成できる。これに対し、周辺回路部には、Nチャネル型とPチャネル型の薄膜トランジスタが混ざり合って集積形成され、所謂CMOS構成となっている。CMOSを作成する為に必要なマスクの枚数などが増え、製造プロセスは複雑化する。従来、比較的単純なプロセスで済む画素アレイ部と、比較的複雑なプロセスを要する周辺回路部とを、同一の基板上に集積形成していたので、全体の製造工程が長くなり、コストに不利であった。又、画素アレイ部及び周辺回路部の片方のみに欠陥がある場合でも、製品としては不良となって歩留り低下を招いていた。

【0004】

【課題を解決するための手段】上述した従来の技術の課題を解決するために以下の手段を講じた。即ち、本発明は、電極とこれを駆動する薄膜トランジスタとを含む画素をマトリクス状に配列した画素アレイ部と、該画素アレイ部に接続されマトリクス状に配列した画素を駆動する周辺回路部とからなる薄膜半導体装置であって、前記画素アレイ部は、あらかじめ中央領域及び周辺領域に区分けされた主基板を用いて該中央領域に形成されており、前記周辺回路部は該主基板とは別体の副基板の上に

集積形成された薄膜トランジスタで構成されており、前記周辺回路部は該副基板ごと該主基板の周辺領域に嵌合しており、前記周辺回路部と前記画素アレイ部とは主基板の周辺領域と中央領域にわたって形成された配線を介して相互に接続されている事を特徴とする。好ましくは、前記画素アレイ部に含まれる薄膜トランジスタは全てN型の薄膜トランジスタであり、前記周辺回路部を構成する薄膜トランジスタはN型とP型の薄膜トランジスタの両方を含む。又、前記副基板は該主基板の周辺領域にあらかじめ形成された凹部に埋め込まれて主基板と一体化されている。又、前記主基板はプラスチック材料からなり、前記副基板はガラス材料又はプラスチック材料からなる。又、前記画素アレイ部及び周辺回路部は共通の層間絶縁膜により被覆されており、前記配線は該層間絶縁膜に開口したコンタクトホールを介して画素アレイ部及び周辺回路部に電気的に接続している。

【0005】本発明によれば、予め画素アレイ部を設けた主基板と、スキヤナなどの周辺回路部を設けた副基板とを用意する。主基板及び副基板共に薄膜トランジスタの形成は終了しており、配線の為のコンタクトホールの形成直前まで作り込まれている。主基板の周辺領域に例えば凹部を形成しておき、ここに副基板を埋め込んで一体化する。その上に、好ましくは層間絶縁膜を成膜し、フォトリソグラフィ及びエッチングで必要なコンタクトホールを開孔する。層間絶縁膜の上に、配線をバタニング形成して、画素アレイ部及び周辺回路部を接続し電気的にも一体化する。主基板の凹部に副基板を埋め込む方法としては、アライメントマークを利用した位置合わせに基づく機械的なハンドリング方式や、流体を媒介にして副基板を主基板の凹部に流し込む方式がある。

【0006】

【発明の実施の形態】以下図面を参照して本発明の実施の形態を詳細に説明する。図1は本発明に係る薄膜半導体装置の製造方法を示す工程図である。薄膜半導体装置はアクティブマトリクス型の表示装置の駆動基板に用いられるものであり、画素アレイ部と周辺回路部とで構成されている。画素アレイ部は、画素電極とこれを駆動する薄膜トランジスタとを含む画素をマトリクス状に配列したものである。これに対し、周辺回路部は、画素アレイ部に接続されマトリクス状に配列した画素を駆動するものである。係る構成を有する薄膜半導体装置を製造する為、まず(A)に示す様に、予め中央領域及び周辺領域に区分けされた主基板0を用いて画素アレイ部を形成する。図示する様に、画素アレイ部は中央領域に形成される。図示を簡単にする為、画素アレイ部に含まれる薄膜トランジスタTFT一個のみを表わしている。TFTは、ガラスもしくはプラスチックからなる主基板0の上には形成されたゲート電極1と、その上に形成されたゲート絶縁膜2と、その上に形成された半導体薄膜5と、その上に形成された保護膜(層間絶縁膜)7とで構成さ

れており、ボトムゲート構造となっている。但し、本発明はこれに限られるものではなく、TFTはトップゲート構造のものであってもよい。一般に、画素電極駆動用のTFTはN型が用いられる。半導体薄膜5には燐などN型の不純物が注入されて、ソース領域及びドレイン領域を構成する。尚、主基板0の厚みは、0.2mm〜0.5mmである。又、図示しないが、画素アレイ部には画素電極も形成する。

【0007】主基板0とは別に、プラスチックなどからなる副基板0zを用い、これに予め周辺回路部を形成する。図では、理解を容易にする為周辺回路部に含まれる一つのTFTのみを表わしている。このTFTは、副基板0zの上に形成されたゲート電極1z、これを被覆するゲート絶縁膜2z、その上に形成された半導体薄膜5z及びその上に形成された保護膜（層間絶縁膜）7zとで構成され、ボトムゲート構造となっている。図示しないが、副基板0zには係る構成を有するTFTが多数集積形成されて、スキャナなどの駆動回路を構成している。画素アレイ部と異なり、周辺回路部はCMOS構成となっており、Nチャネル型の薄膜トランジスタとPチャネル型の薄膜トランジスタの両方を含んでいる。従って、主基板0の上に形成される画素アレイ部と、副基板0zの上に形成される周辺回路部とは、元プロセスが異なっている。この点を考慮して、本発明では主基板0とは別に設けた副基板0zを用いて、周辺回路部を画素アレイ部とは別プロセスで作成している。これにより、プロセスの合理化が可能である。又、この段階で画素アレイ部に欠陥が生じた場合には、主基板のみを破棄すればよい。同様に、周辺回路部に欠陥がある場合には、副基板のみを破棄すればよい。

【0008】次に、主基板0の周辺領域に、周辺回路部を副基板0zごとで嵌合する。具体的には、主基板0の周辺領域に凹部4を形成し、ここに周辺回路部を形成済みの副基板0zを埋め込む。その際、接着剤を用いて副基板0zを主基板0に固定してもよい。又、凹部4に代えて開口を主基板0に形成し、この開口に副基板0zを嵌合してもよい。尚、凹部4は例えばスタンプ技術を用いて主基板0に精度よく形成できる。

【0009】続いて（B）に示す様に、一体化した画素アレイ部及び周辺回路部の両方に亘って、共通の層間絶縁膜8を形成する。例えば、CVDにより酸化シリコンを堆積して、層間絶縁膜8とする。その上に、フォトリソを施し、露光現像してマスクMを作成する。マスクMを介して二層の層間絶縁膜7、8をエッチングし、必要部分にコンタクトホールCONを開口する。図では、画素アレイ部側のTFTのドレインに対応してCONが開口している。又、周辺回路部側のTFTでも、ソース/ドレインの何れか一方又は両方に対応してCONが開口している。

【0010】最後に（C）に示す様に、コンタクトホー

ルCONを形成した層間絶縁膜8の上に、アルミニウムなどの金属膜をスパッタなどで堆積する。これをパターンニングして、配線10を形成する。配線10により、画素アレイ部と周辺回路部とは電氣的に接続され且つ一体化される。

【0011】以上の様に、本発明に係る薄膜半導体装置では、画素アレイ部は予め中央領域及び周辺領域に区分けされた主基板0を用いて中央領域に形成されている。これに対し、周辺回路部は主基板0とは別体の副基板0zの上に集積形成された薄膜トランジスタTFTで構成されている。周辺回路部は副基板0zごと主基板0の周辺領域に嵌合している。周辺回路部と画素アレイ部とは主基板0の周辺領域と中央領域に亘って形成された配線10を介して相互に接続されている。具体的な構成では、画素アレイ部に含まれる薄膜トランジスタTFTは全てN型の薄膜トランジスタであり、周辺回路部を構成する薄膜トランジスタはN型とP型の薄膜トランジスタの両方を含むCMOS構成である。但し、本発明に係る構成に限られるものではない。副基板0zは、主基板0の周辺領域に予めスタンプ技術などで形成された凹部4に埋め込まれて主基板0と一体化されている。主基板0は例えばプラスチック材料からなり、その厚みは0.2mm〜0.5mmである。一方、副基板0zはガラス材料又はプラスチック材料からなり、その厚みは0.1mm〜0.2mmである。画素アレイ部及び周辺回路部は共通の層間絶縁膜8により被覆されており、配線10は層間絶縁膜8に開口したコンタクトホールCONを介して画素アレイ部及び周辺回路部に電気接続している。係る構造を採用することで、プロセス工数を多く要する副基板上の周辺回路部を歩留りよく作ることができる。低工数でできた主基板上の画素アレイ部と組み合わせることで、全体的に低価格のアクティブマトリクス型表示装置用の基板が得られる。

【0012】図2は、主基板0及び副基板0zの全体的な構成を示す模式的な平面図である。図示する様に、主基板0の中央領域には画素アレイ部が集積形成されており、周辺部には凹部4が形成されている。凹部4の両端にはアライメントマークAが予め設けられている。一方、副基板0zには周辺回路部が集積形成されているとともに、具尺型の形状の副基板0zの両端には、アライメントマークAが予め設けられている。副基板0zの外形は、主基板0に設けた凹部4の外形と一致している。

【0013】図3は、主基板0に副基板0zを嵌合する状態を模式的に表わしたものである。図3の左側に示様に、予め凹部4を形成した主基板0の上方に、ロボットアーム（図示せず）で保持された副基板0zが配置されている。副基板0zはロボットアームにより、矢印で示す様に前後左右上下に移動可能である。主基板0の凹部4及び副基板0zはCCDカメラで撮像されており、両者の相対的な位置関係がモニタに映し出されている。

CCDカメラに接続された画像処理装置（図示せず）は主基板0側のアライメントマークと副基板0z側のアライメントマークとの間の差X、Yを検出する。画像処理装置に接続された制御用のコンピュータは、算出された差X、Yに基づきロボットアームを制御して副基板0zを主基板0の凹部4に位置合わせし嵌合させる。

【0014】上述したメカニカルな方式に代えて、流体を媒介にして副基板を主基板の凹部に埋め込む方式がある。この方式は、例えば特開平9-120943号公報に開示されている。具体的には、まずプラスチック基板に凹部を設け、そこに周辺回路が形成されたLSIを埋め込み、LCD用の駆動基板を作成する。まず最初に、主基板に凹部を形成し、流注制御された薬液と水の混合物を媒体として、LSIチップを、主基板の表面に沿って流動させる。これにより、LSIチップは主基板の凹部に流し込まれる。この後は、主基板と副基板を電気接続する為に、配線を形成すればよい。以上の様にして、LSIチップを基板に埋め込みLCD用の駆動基板を作成する。

【0015】図4は、本発明に従って作成された薄膜半導体装置を駆動基板に用いて組み立てられたアクティブマトリクス型液晶表示装置の一例を示す模式的な斜視図である。図示する様に、本表示装置は一对の主基板0と、対向基板102と、両者の間に挟持された電気光学物質103とを備えたパネル構造を有する。電気光学物質103としては液晶材料を用いる。下側の主基板0には画素アレイ部104と周辺回路部とが集積形成されている。周辺回路部は垂直駆動回路105と水平駆動回路106とに分かれている。これらの駆動回路105、106は予め副基板を用いて集積形成されたCMOS構成のLSIチップであり、本発明に従って主基板0に埋め込まれている。又、主基板0の周辺部上端には外部接続用の端子部107が形成されている。端子部107は配線108を介して垂直駆動回路105及び水平駆動回路106に接続している。この配線108は、主基板0に副基板を埋め込んだ後形成されたものである。画素アレイ部104には行状のゲート配線109と列状の信号配線110が形成されている。これらの配線は後から埋め込んだ垂直駆動回路105や水平駆動回路106に電気接続される。ゲート配線109と信号配線110の交差部には画素電極11とこれを駆動する薄膜トランジスタTFTが形成されている。薄膜トランジスタTFTのゲート電極は対応するゲート配線109に接続され、ソース領域は対応する画素電極11に接続され、ソース領域は対応する信号配線110に接続している。

【0016】図5は、本発明に係るエレクトロニクス表示装置の一例を示す模式的な断面図である。図では、主基板の上に形成された画素アレイ部のみを表わしており、主基板の周辺領域に埋め込まれた周辺回路は図示を省略している。図示する様に、本実施例は画素と

して有機エレクトロニクス素子OLEDを用いている。OLEDは陰極A、有機層210及び陰極Kを順に重ねたものである。陰極Aは画素毎に分離しており、例えばクロムからなり基本的に光反射性である。陰極Kは画素間共通接続されており、例えば極薄い金属層211と透明導電層212の積層構造であり、基本的に光透過性である。偏極を有するOLEDの陰極A/陰極K間に順方向の電圧（10V程度）を印加すると、電子や正孔などキャリアの注入が起こり、発光が観測される。OLEDの動作は、陰極Aから注入された正孔と陰極Kから注入された電子により形成された励起子による発光と考えられる。

【0017】一方、OLEDを駆動する薄膜トランジスタTFTは、ガラスなどからなる主基板0の上に形成されたゲート電極1と、その上に重ねられたゲート絶縁膜23と、このゲート絶縁膜23を介してゲート電極1の上方に重ねられた半導体薄膜24とからなる。薄膜トランジスタTFTはOLEDに供給される電流の通路となるソース領域S、チャネル領域Ch及びドレイン領域Dを備えている。チャネル領域Chはドレインゲート電極1の直上に位置する。このボトムゲート構造を有する薄膜トランジスタTFTは層間絶縁膜7により被覆されており、その上には配線電極9及びドレイン電極200が形成されている。これらの上には別の層間絶縁膜9を介して前述したOLEDが成膜されている。このOLEDの陰極Aはドレイン電極200を介して薄膜トランジスタTFTに電気接続されている。尚、図示しないが、主基板0の周辺部には凹部が形成されており、その部分には周辺回路部を集積形成した副基板が埋め込まれている。

【0018】
【発明の効果】以上説明した様に、本発明によれば、大きな占有面積を有する画素アレイ部を形成した主基板と別に、スキャナなどCMOS化された周辺回路部を副基板に形成しておく。これにより、比較的単純なプロセスの画素アレイ部と比較的複雑なプロセスを要する周辺回路部とを別々のプロセスで作成でき、製造工程の合理化が可能になる。画素アレイ部を形成した主基板に周辺回路部を形成した副基板を埋め込んで一体化することにより、低価格のアクティブマトリクス型表示装置の製造が可能になる。特に、画面サイズが大きくなる程、コスト上の効果は大きくなる。

【図面の簡単な説明】

【図1】本発明に係る薄膜半導体装置の製造方法を示す工程図である。

【図2】本発明に係る薄膜半導体装置の製造方法を示す模式的な平面図である。

【図3】本発明に係る薄膜半導体装置の製造方法を示す模式的な断面図である。

【図4】本発明に係る液晶表示装置の一例を示す模式的

な斜視図である。

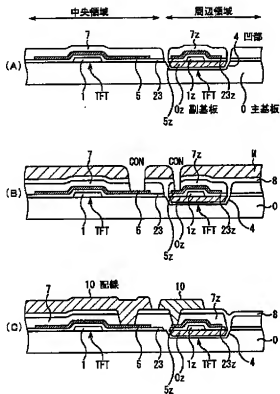
【図5】本発明に係るエレクトロルミネッセンス表示装置の一例を示す模式的な部分断面図である。

【符号の説明】

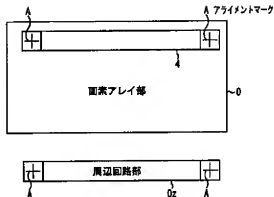
0・・・主基板、0z・・・副基板、1・・・ゲート電

極、1z・・・ゲート電極、23・・・ゲート絶縁膜、23z・・・ゲート絶縁膜、4・・・凹部、5・・・半導体薄膜、5z・・・半導体薄膜、8・・・層間絶縁膜、10・・・配線

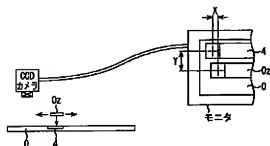
【図1】



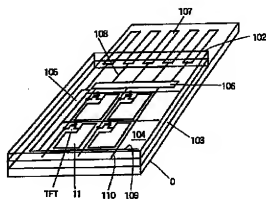
【図2】



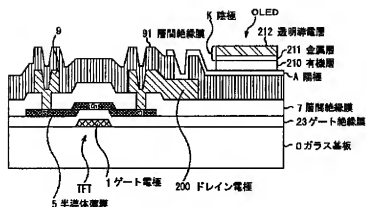
【図3】



【図4】



【図5】



フロントページの続き

(51)Int. Cl. ⁷	識別記号	F I	テマコード (参考)
H 01 L 27/08	3 3 1	H 01 L 27/08	3 3 1 E 5 G 4 3 5
27/12		27/12	A
29/786		H 0 5 B 33/10	
21/336		33/14	A
H 0 5 B 33/10		H 0 1 L 29/78	6 1 2 B
33/14			6 2 6 C
			6 2 7 D

F ターム (参考) 2H092 GA59 HA06 JA24 JA46 KA18
 KB04 KB25 MA05 MA17 NA27
 NA29 PA01 PA06
 3K007 AB18 CA01 CA05 DA01 DB03
 EB00 FA02
 5C094 AA43 AA44 BA03 BA29 BA43
 CA19 DA14 DA15 DB01 DB04
 EA04 EA07 EB02
 5F048 AB10 AC04 BA16 BA19 BG05
 5F110 AA16 BB02 BB04 CC08 DD01
 DD02 DD21 DD25 HJ01 HL03
 HL23 NN03 NN23 NN35 NN78
 QQ16
 5G435 AA00 AA17 BB05 BB12 EE35
 EE37 EE41